

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年12月 5日

出願番号 Application Number: 特願2002-353338

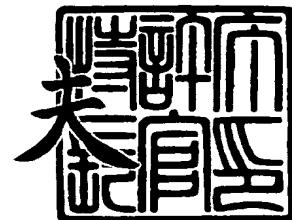
[ST. 10/C]: [JP2002-353338]

出願人 Applicant(s): セイコーエプソン株式会社

2003年10月15日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 EP-0425801

【提出日】 平成14年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/00

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 中島 章

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子装置及びその製造方法並びに電子機器

【特許請求の範囲】

【請求項 1】 重ならないように配列されて相互に固定された、異なる機能を果たす複数種類の半導体チップによって少なくとも一部が構成された回路基板と、

前記回路基板の上方に形成された複数の動作素子と、
を有する電子装置。

【請求項 2】 請求項 1 記載の電子装置において、
前記複数種類の半導体チップは、グループをなす第 1 の半導体チップと、グル
ープをなす第 2 の半導体チップと、を含み、
前記第 1 の半導体チップは、前記複数の動作素子を駆動する第 1 の回路を有し
、
前記第 2 の半導体チップは、前記第 1 の回路を制御するための第 2 の回路を有
する電子装置。

【請求項 3】 請求項 2 記載の電子装置において、
前記第 1 の半導体チップは、複数行複数列をなすように配列され、
それぞれの列には、いずれか 1 つの前記第 2 の半導体チップがさらに配列され
てなる電子装置。

【請求項 4】 請求項 3 記載の電子装置において、
前記第 1 の半導体チップの前記第 1 の回路は、それぞれ、同じ列に並ぶ前記第
2 の半導体チップの前記第 2 の回路によって制御される電子装置。

【請求項 5】 請求項 2 から請求項 4 のいずれかに記載の電子装置において
、
少なくとも 1 つの前記第 1 の半導体チップは、入力された信号を増幅して出力
するバッファを有する電子装置。

【請求項 6】 請求項 1 から請求項 5 のいずれかに記載の電子装置において
、

前記回路基板と前記複数の動作素子との間に配線層をさらに有する電子装置。

【請求項 7】 請求項 6 記載の電子装置において、

前記配線層は、相互に交差しない複数の第 1 の配線と、相互に交差しない複数の第 2 の配線と、を有し、

前記第 1 及び第 2 の配線は、立体交差して格子状に形成されてなる電子装置。

【請求項 8】 請求項 7 記載の電子装置において、

前記第 1 及び第 2 の配線には、それぞれ、前記第 1 の半導体チップで使用される電圧のうち電位差が最も大きい 2 つの電圧のいずれか一方が印加される電子装置。

【請求項 9】 請求項 1 から請求項 8 のいずれかに記載の電子装置において

前記複数の動作素子は、それぞれの前記第 1 の半導体チップの外側に配置された第 1 の動作素子と、いずれかの前記第 1 の半導体チップとオーバーラップするように配置された第 2 の動作素子と、からなり、

それぞれの前記第 1 の半導体チップは、その周縁部に配置されて前記第 1 の動作素子と電気的に接続される第 1 のコンタクト部と、前記周縁部を除いた中央部に配置されて前記第 2 の動作素子と電気的に接続される第 2 のコンタクト部と、を有する電子装置。

【請求項 10】 請求項 9 記載の電子装置において、

それぞれの前記第 2 の動作素子は、いずれか 1 つの前記第 2 のコンタクト部とオーバーラップするように配置されてなる電子装置。

【請求項 11】 請求項 1 から請求項 10 のいずれかに記載の電子装置において、

それぞれの前記動作素子は、複数の発光色の発光層のいずれか 1 つを有する電子装置。

【請求項 12】 請求項 1 から請求項 11 のいずれかに記載の電子装置を有する電子機器。

【請求項 13】 異なる機能を果たす複数種類の半導体チップを、重ならないように配列し、樹脂によって相互に固定して、回路基板の少なくとも一部を構

成すること、及び、

前記回路基板の上方に複数の動作素子を形成すること、
を含む電子装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子装置及びその製造方法並びに電子機器に関する。

【0002】

【従来の技術】

【0003】

【特許文献1】

特開2001-332383号公報

【0004】

【発明の背景】

エレクトロルミネセンスパネルや液晶パネルのような電子装置で、アクティブマトリクス駆動方式を適用する場合、各画素には、動作素子（発光素子又は液晶素子）と、これを駆動するための回路（スイッチ等）が設けられる。また、スイッチを薄膜トランジスタによって構成することも知られている。しかしながら、薄膜トランジスタは、集積回路チップに形成されたトランジスタほどの特性を得ることが難しい。このように、従来、特性において優れた回路基板を得ることは難しかった。

【0005】

本発明の目的は、特性において優れた回路基板を有する電子装置及びその製造方法並びに電子機器を提供することにある。

【0006】

【課題を解決するための手段】

（1）本発明に係る電子装置は、重ならないように配列されて相互に固定された、異なる機能を果たす複数種類の半導体チップによって少なくとも一部が構成された回路基板と、

前記回路基板の上方に形成された複数の動作素子と、
を有する。本発明によれば、半導体チップによって回路基板の少なくとも一部
が構成され、異なる機能を果たす半導体チップが混載されるので、特性に優れた
回路基板を有する電子装置が得られる。

(2) この電子装置において、

前記複数種類の半導体チップは、グループをなす第1の半導体チップと、グル
ープをなす第2の半導体チップと、を含み、

前記第1の半導体チップは、前記複数の動作素子を駆動する第1の回路を有し

、
前記第2の半導体チップは、前記第1の回路を制御するための第2の回路を有
してもよい。

(3) この電子装置において、

前記第1の半導体チップは、複数行複数列をなすように配列され、
それぞれの列には、いずれか1つの前記第2の半導体チップがさらに配列され
ていてもよい。

(4) この電子装置において、

前記第1の半導体チップの前記第1の回路は、それぞれ、同じ列に並ぶ前記第
2の半導体チップの前記第2の回路によって制御されてもよい。

(5) この電子装置において、

少なくとも1つの前記第1の半導体チップは、入力された信号を増幅して出力
するバッファを有してもよい。

(6) この電子装置において、

前記回路基板と前記複数の動作素子との間に配線層をさらに有してもよい。

(7) この電子装置において、

前記配線層は、相互に交差しない複数の第1の配線と、相互に交差しない複数
の第2の配線と、を有し、

前記第1及び第2の配線は、立体交差して格子状に形成されていてもよい。

(8) この電子装置において、

前記第1及び第2の配線には、それぞれ、前記第1の半導体チップで使用され

る電圧のうち電位差が最も大きい2つの電圧のいずれか一方が印加されてもよい。

(9) この電子装置において、

前記複数の動作素子は、それぞれの前記第1の半導体チップの外側に配置された第1の動作素子と、いずれかの前記第1の半導体チップとオーバーラップするように配置された第2の動作素子と、からなり、

それぞれの前記第1の半導体チップは、その周縁部に配置されて前記第1の動作素子と電気的に接続される第1のコンタクト部と、前記周縁部を除いた中央部に配置されて前記第2の動作素子と電気的に接続される第2のコンタクト部と、を有してもよい。

(10) この電子装置において、

それぞれの前記第2の動作素子は、いずれか1つの前記第2のコンタクト部とオーバーラップするように配置されていてもよい。

(11) この電子装置において、

それぞれの前記動作素子は、複数の発光色の発光層のいずれか1つを有してもよい。

(12) 本発明に係る電子機器は、上記電子装置を有する。

(13) 本発明に係る電子装置の製造方法は、異なる機能を果たす複数種類の半導体チップを、重ならないように配列し、樹脂によって相互に固定して、回路基板の少なくとも一部を構成すること、及び、

前記回路基板の上方に複数の動作素子を形成すること、
を含む。本発明によれば、半導体チップによって回路基板の少なくとも一部を構成し、異なる機能を果たす半導体チップを混載するので、特性に優れた回路基板を有する電子装置を得ることができる。

【0007】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。図1は、本発明の実施の形態に係る電子装置を説明する図である。電子装置は、表示装置（例えば表示パネル）などの電気光学装置や記憶装置であってもよい。図1に示す電子

装置は、有機EL（Electroluminescence）装置（例えば有機ELパネル）である。電子装置は、回路基板1を有する。

【0008】

図2（A）は、回路基板を示す図であり、図2（B）は、図2（A）のIIB—IIB線断面図である。回路基板1の少なくとも一部は、複数の半導体チップ10によって構成されている。複数の半導体チップ10は、重ならないように配列されている。半導体チップ10の表面（例えば集積回路が形成された面あるいは電極が形成された面）にはパッシベーション膜が形成されていてもよい。複数の半導体チップ10は、相互に固定されている。その固定は、樹脂（又は接着剤）によって行ってもよい。少なくとも隣同士の半導体チップ10の間には、固定部14が形成されている。固定部14は、全ての半導体チップ10を囲むように形成されていてもよい。固定部14の表面は、半導体チップ10の表面と面一になっていてもよいし、段が形成されていてもよい。固定部14は、絶縁体で形成してもよい。

【0009】

複数の半導体チップ10は、複数行複数列で（あるいはマトリクス状に）並べられてもよい。半導体チップ10は、外部との電気的接続のための部分（例えば第1～第4のコンタクト部21～24）が形成された面にパッシベーション膜が形成されていてもよい。また、外部との電気的接続のための部分は、全て、同じ面に形成されていてもよい。

【0010】

複数の半導体チップ10は、複数の種類に分類することができ、種類に応じて異なる機能を果たす。複数種類の半導体チップ10は、グループをなす第1の半導体チップ11と、グループをなす第2の半導体チップ12と、を含んでもよい。第1の半導体チップ11は、複数行複数列をなすように配列されてもよい。第1の半導体チップ11のそれぞれの列に、いずれか1つの第2の半導体チップ12がさらに配列されてもよい。

【0011】

第1の半導体チップ11は、複数の動作素子を駆動する第1の回路16（図9

参照) を有していてもよい。第2の半導体チップ12は、第1の回路16を制御するための第2の回路18(図9参照)を有していてもよい。列をなす第1の半導体チップ11の第1の回路16は、それぞれ、同じ列に並ぶ第2の半導体チップ12の第2の回路18によって制御されてもよい。

【0012】

図3は、図2(A)に示す回路基板の一点鎖線で囲んだ部分の拡大図である。図3には、第1の半導体チップ11が示されている。第1の半導体チップ11は、その周縁部に配置されて第1の動作素子64(図7参照)と電気的に接続される第1のコンタクト部21を有していてもよい。第1の半導体チップ11は、中央部(周縁部を除いた部分)に配置されて第2の動作素子66(図7参照)と電気的に接続される第2のコンタクト部22を有していてもよい。第1及び第2のコンタクト部21, 22の少なくとも一方は、コンタクトホールであってもよい。

【0013】

第1の半導体チップ11は、第3及び第4のコンタクト部23, 24の少なくとも一方をさらに有していてもよい。第3及び第4のコンタクト部23, 24には、それぞれ、第1の半導体チップ11で使用される電圧のうち最も電位差が大きい2つの電圧(例えば電源電圧及び接地電圧)のいずれか一方が印加されるようになっていてもよい。第3及び第4のコンタクト部23, 24の少なくとも一方は、第1及び第2のコンタクト部21, 22よりも大きくなるように(例えば径又は幅が大きくなるように)形成してもよい。なお、第2の半導体チップ12も、第3及び第4のコンタクト部23, 24を有していてもよい。

【0014】

図1に示すように、電子装置は、少なくとも1層(本実施の形態では複数層)からなる配線層2を有する。配線層2は、回路基板1上に形成されている。配線層2は、回路基板1と複数の動作素子60との間に形成されている。

【0015】

図4～図5は、それぞれ、配線層の構造を下から順に説明する図である。図4は、配線層の最下層を示す図である。配線層2の最下層は、配線パターン30を

含む。配線パターン30は、半導体チップ10（第1及び第2の半導体チップ11，12）及び固定部14上に形成されている。配線パターン30は、複数の配線32を有する。各配線32は、いずれかの第1のコンタクト部21に電気的に接続され、いずれかの第1の動作素子64（図7参照）の下方位置まで延びている。配線パターン30は、複数の配線34を有する。配線34は、行列をなす半導体チップ10のうち、いずれかの列において、隣同士の第1の半導体チップ11あるいは第1及び第2の半導体チップ11，12を電気的に接続してもよい。配線パターン30は、相互に交差しない（例えば平行に延びる）複数の第1の配線36，38を有する。第1の配線36，38は、半導体チップ10（例えば第1及び第2の半導体チップ11，12）を避けて形成してもよい。第1の配線36，38は、固定部14上に形成してもよい。第1の配線36，38は、交互に配置されている（図6参照）。第1の配線36，38は、他の層の配線を介して、第1及び第2の半導体チップ11，12と電気的に接続されていてもよい。第1の配線36，38は、他の配線32，34よりも広い幅を有するように形成されていてもよい。

【0016】

図5に示すように、配線パターン30上には絶縁層40が形成されている。絶縁層40上には、複数の第2の配線42，44が形成されている。第2の配線42，44は、相互に交差しない（例えば平行に延びる）ように形成されている。第2の配線42，44は、交互に配置されている（図6参照）。第2の配線42，44は、他の配線よりも広い幅を有するように形成されていてもよい。第2の配線42，44は、半導体チップ10（例えば第1及び第2の半導体チップ11，12）上を通るように形成されていてもよい。第1及び第2の配線36，38，42，44は、立体交差して格子状に形成されていてもよい（図6参照）。

【0017】

図6は、第1及び第2の配線36，38，42，44の接続状態を説明する図である。1つの第1の配線36と1つの第1の配線38には、それぞれ、例えば、半導体チップ10で使用される電圧のうち最も電位差が大きい2つの電圧（例えば電源電圧及び接地電圧）のいずれか一方が印加されるようになっている。ま

た、複数の第1の配線36は、第2の配線42を介して、相互に電気的に接続されている。したがって、複数の第1の配線36は同電位となる。また、複数の第1の配線38は、第2の配線44を介して、相互に電気的に接続されている。複数の第1の配線38は同電位となる。図5に示すように、第2の配線42、44は、それぞれ、第3及び第4のコンタクト部23、24に電気的に接続されている。さらに、第2の配線42、44は、それぞれ、第1の配線36、38と電気的に接続されている。

【0018】

本実施の形態によれば、上述した配線構造を有するので、半導体チップ10への電圧の複数の入力経路が形成されている。そのため、インピーダンスを下げることができ、どの半導体チップ10にも均一の電圧を印加することができる。

【0019】

図5に示すように、絶縁層40上には、配線46が形成されている。配線46は、いずれかの配線34と電気的に接続されていてもよい。配線46、34は、立体交差するように形成されていてもよい。配線46は、行列をなす第1の半導体チップ11のうち、いずれかの行において、隣同士の第1の半導体チップ11を電気的に接続してもよい。

【0020】

図1に示すように、電子装置は、複数の動作素子50を有する。動作素子50は、回路基板1の上方に形成されてなる。複数の動作素子50は、複数の発光色（例えば赤、緑、青）の複数の発光層52を有する。それぞれの動作素子50は、いずれか1つの発光色の発光層52を有する。発光層52を構成する材料は、ポリマー系材料又は低分子系材料あるいは両者を複合的に用いた材料のいずれであってもよい。発光層52は、電流が流れることで発光する。発光層52は、発光色に応じて、発光効率が異なっていてもよい。

【0021】

動作素子50は、第1及び第2のバッファ層54、56の少なくとも一方を有していてもよい。第1のバッファ層54は、発光層52への正孔注入を安定化させる正孔注入層であってもよいし、正孔注入層を有していてもよい。第1のバッ

ファ層54は、正孔輸送層を有していてもよい。正孔輸送層は、発光層52と正孔注入層との間に設けられてもよい。第2のバッファ層56は、発光層52への電子注入を安定化させる電子注入層であってもよいし、電子注入層を有していてもよい。第2のバッファ層56は、電子輸送層を有していてもよい。電子輸送層は、発光層52と電子注入層との間に設けられてもよい。隣同士の動作素子50は、バンク58によって区画（電気的に絶縁）されている。

【0022】

電子装置は、複数の第1の電極60を有する。それぞれの第1の電極60は、いずれかの動作素子50に電気エネルギーを供給するためのものである。第1の電極60は、動作素子50（例えば第1のバッファ層54（例えば正孔注入層））に接触していてもよい。第1の電極60は、第1の配線34に電気的に接続されてもよい。電子装置は、複数又は1つの第2の電極62を有する。第2の電極62は、動作素子50に電気エネルギーを供給するためのものである。第2の電極62は、動作素子50（例えば第2のバッファ層56（例えば電子注入層））に接触していてもよい。第2の電極62は、第1の電極60に対向する部分を有する。第2の電極62は、第1の電極60の上方に配置されてもよい。

【0023】

図7は、動作素子の配列を説明する図である。複数の動作素子60は、第1の半導体チップ11の外側に配置された第1の動作素子64と、第1の半導体チップ11とオーバーラップするように配置された第2の動作素子66と、からなる。第1の動作素子64は、配線32と電気的に接続されている。第1の動作素子64は、第1のコンタクト部21から引き出された配線32とオーバーラップするように配置されている。第2の動作素子66は、いずれか1つの第2のコンタクト部22と電気的に接続されている。第2の動作素子66は、いずれか1つの第2のコンタクト部22とオーバーラップするように配置されていてもよい。こうすることで、第2のコンタクト部22と第2の動作素子66の距離を短くすることができ、電圧降下を少なくすることができる。動作素子60の少なくとも一部が水分や酸素等によって劣化しやすい場合には、封止部材84によって動作素子60を保護してもよい。

【0024】

図8及び図9は、本実施の形態に係る電子装置の動作を説明する回路図である。図8に示すように、グループをなす第1の半導体チップ11の列に、1つの第2の半導体チップ12がさらに配列されている。1つの第2の半導体チップ12によって、これと同じ列の第1の半導体チップ11が制御され、第1の半導体チップ11によって動作素子50が駆動される。第1及び第2の半導体チップ11, 12は、第1の配線36, 38から電源を得られるようになっている。

【0025】

図9は、第1及び第2の半導体チップの動作を説明する回路図である。第1の半導体チップ11は、第1の回路16を有し、第2の半導体チップ12は、第2の回路18を有する。第1及び第2の回路16, 18の構成（素子の接続状態）は、図9に示す通りであり説明を省略する。本実施の形態では、第1の配線38を低電位（例えばグランド電位）に接続し、それよりも高電位に第1の配線36を接続する。配線（信号線）34には、電流I_{data}が流れるようになっている。電流I_{data}は、動作素子50に供給する電流に応じた信号である。配線（走査線）34には、選択信号が入力される。選択信号は、高電位のH信号又は低電位のL信号である。

【0026】

プログラミング期間では、例えば第1の配線36に電圧V_{dd}が供給され、配線（信号線）34に電流I_{data}が流れるようになっている。また、プログラミング期間では、配線（走査線）34にH信号が入力されて、スイッチング素子70, 72がONになり、スイッチング素子76がOFFになる。そして、第1の配線36から、スイッチング素子74, 72を通って、配線（信号線）34に電流I_{data}が流れると、スイッチング素子74の制御電圧（スイッチング素子74がMOSトランジスタである場合はゲート電圧）は、電流I_{data}に対応した値になり、その制御電圧に応じた電荷がキャパシタ78に蓄えられる。

【0027】

動作期間（例えば発光期間）では、配線（走査線）34にL信号が入力されて、スイッチング素子70, 72がOFFになり、スイッチング素子76がONに

なる。そして、プログラミング期間でキャパシタ78に蓄えられた電荷に応じた制御電圧（スイッチング素子74がMOSトランジスタである場合はゲート電圧）によってスイッチング素子74が制御（例えばON）され、制御電圧に応じた電流が、第1の配線36からスイッチング素子74, 76を通って、動作素子50を流れるようになっている。なお、第1の回路14は、動作素子50ごとに設けられる。

【0028】

少なくとも1つの第1の半導体チップ11は、入力された信号を増幅して出力するバッファ80を有していてもよい。例えば、信号（例えば、選択信号やクロック信号等）を伝送する配線34にバッファ80を電気的に接続し、増幅された入力信号を、さらに別の配線34によって、他の第1の半導体チップ11に出力してもよい。これによれば、信号の遅延や鈍り等の劣化を回避することができる。

【0029】

本実施の形態に係る電子装置の製造方法では、異なる機能を果たす複数種類の半導体チップ10（例えば、第1及び第2の半導体チップ11, 12）を、重ならないように配列する。これらの半導体チップ10を、例えば樹脂などによって相互に固定して、回路基板1の少なくとも一部を構成する。回路基板1の上方に複数の動作素子50を形成する。

【0030】

本実施の形態では、本発明を表示装置に適用した例を説明したが、本発明は他の電子装置にも適用可能である。例えば、動作素子として、発光素子及び受光素子を配列して、平面型イメージセンサ（その応用例としてフラット型コピー装置）を実現することができる。発光素子から、R, G, Bの3原色の光を交互に又は同時に発光し、受光素子によって、各波長の光をその強度に応じて電気信号に変換してもよい。電気信号を処理して、元のイメージを再現することができる。あるいは、MEMS (Micro Electro Mechanical Systems) 技術を利用して、マイクロアクチュエータを動作素子として配列してもよい。これにより、触感ディスプレイ、スピーカ、フェイズドアレイアンテナ等を構成することができる。

【0031】

本発明の実施の形態に係る電子装置を有する電子機器として、図10にはノート型パーソナルコンピュータ1000が示され、図11には携帯電話2000が示されている。

【0032】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図1】 図1は、本発明の実施の形態に係る電子装置を説明する図である。

。

【図2】 図2（A）は、電子装置の回路基板を説明する図であり、図2（B）は、図2（A）のIIB-IIB線断面図である。

【図3】 図3は、第1の半導体チップ及びその周辺部を示す図である。

【図4】 図4は、配線層を説明する図である。

【図5】 図5は、配線層を説明する図である。

【図6】 図6は、配線層の接続状態を説明する図である。

【図7】 図7は、動作素子の配列を説明する図である。

【図8】 図8は、電子装置の動作を説明する回路図である。

【図9】 図9は、電子装置の動作を説明する回路図である。

【図10】 図10は、本発明の実施の形態に係る電子機器を示す図である。

。

【図11】 図11は、本発明の実施の形態に係る電子機器を示す図である。

。

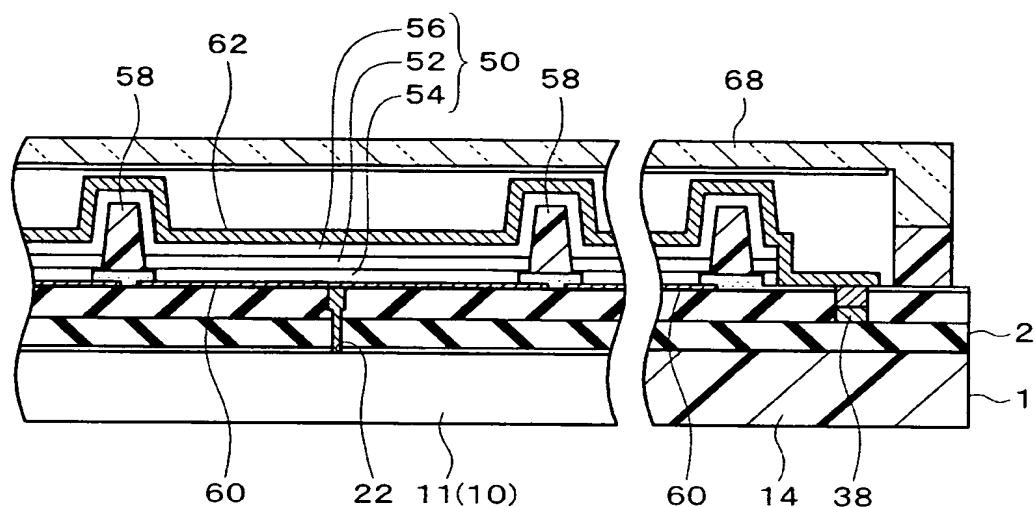
【符号の説明】

1 回路基板、 2 配線層、 10 半導体チップ、 11 第1の半導
体チップ、 12 第2の半導体チップ、 16 第1の回路、 18 第2の
回路、 21 第1のコンタクト部、 22 第2のコンタクト部、 36, 3
8 第1の配線、 42, 44 第2の配線、 50 動作素子

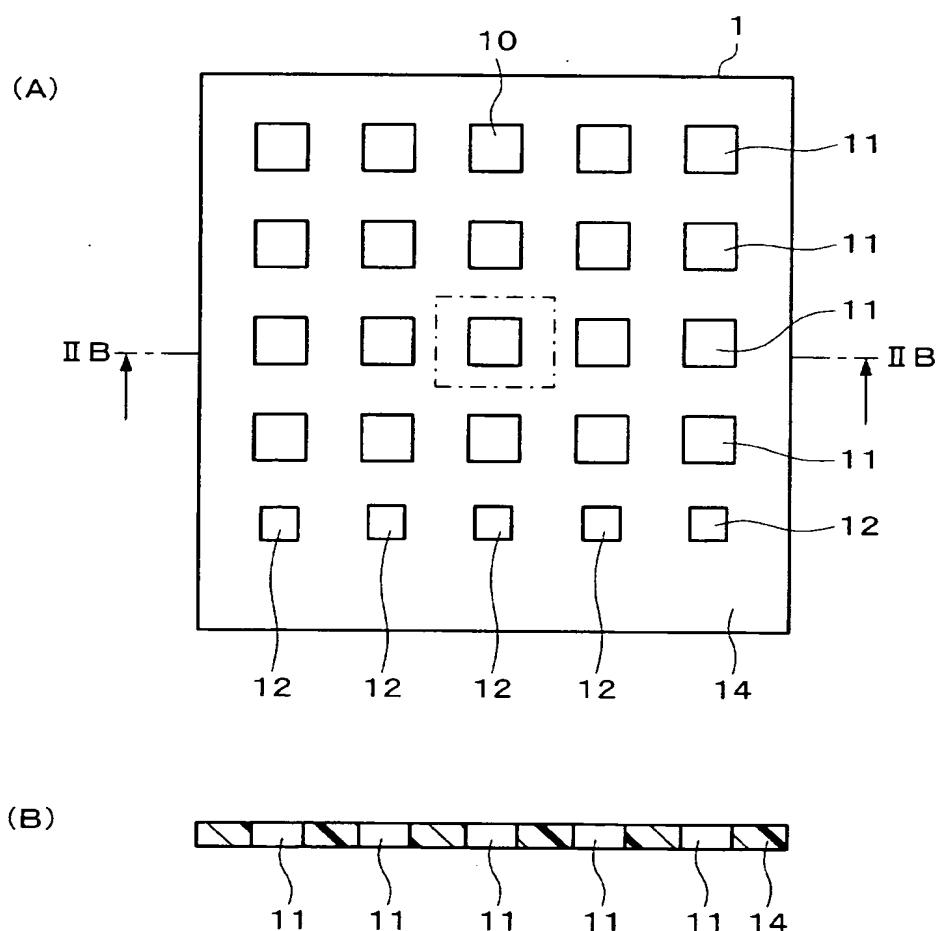
【書類名】

図面

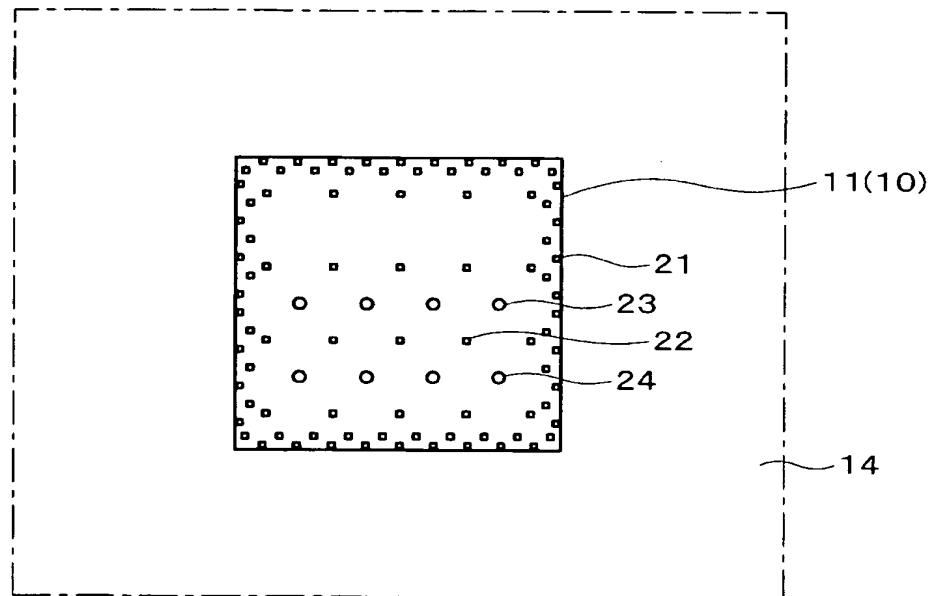
【図1】



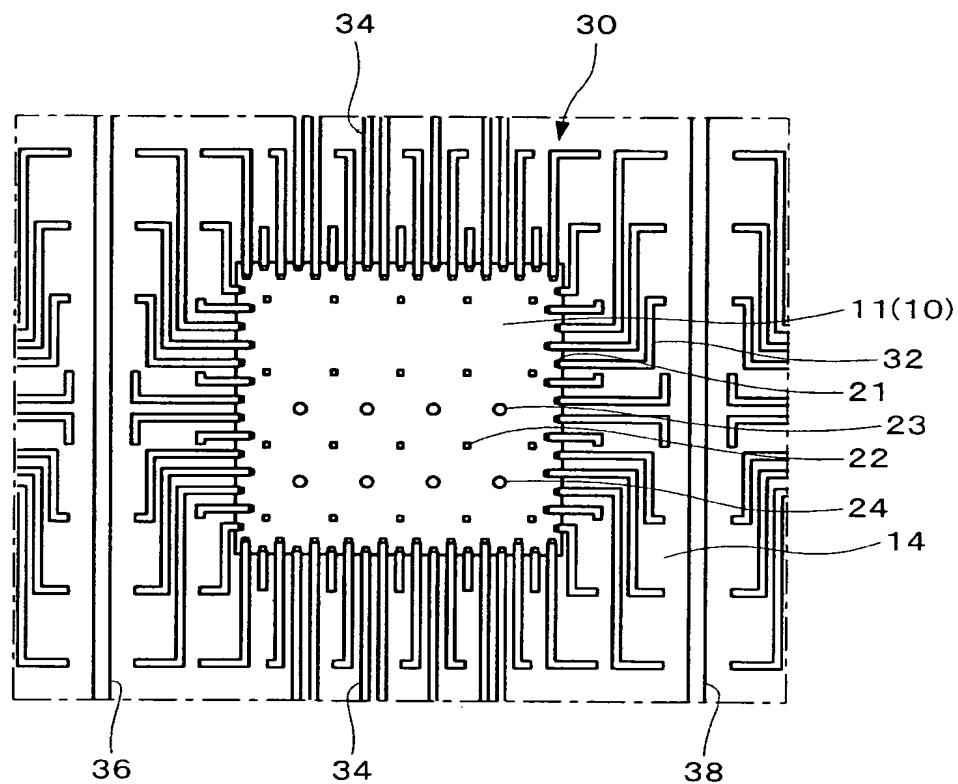
【図2】



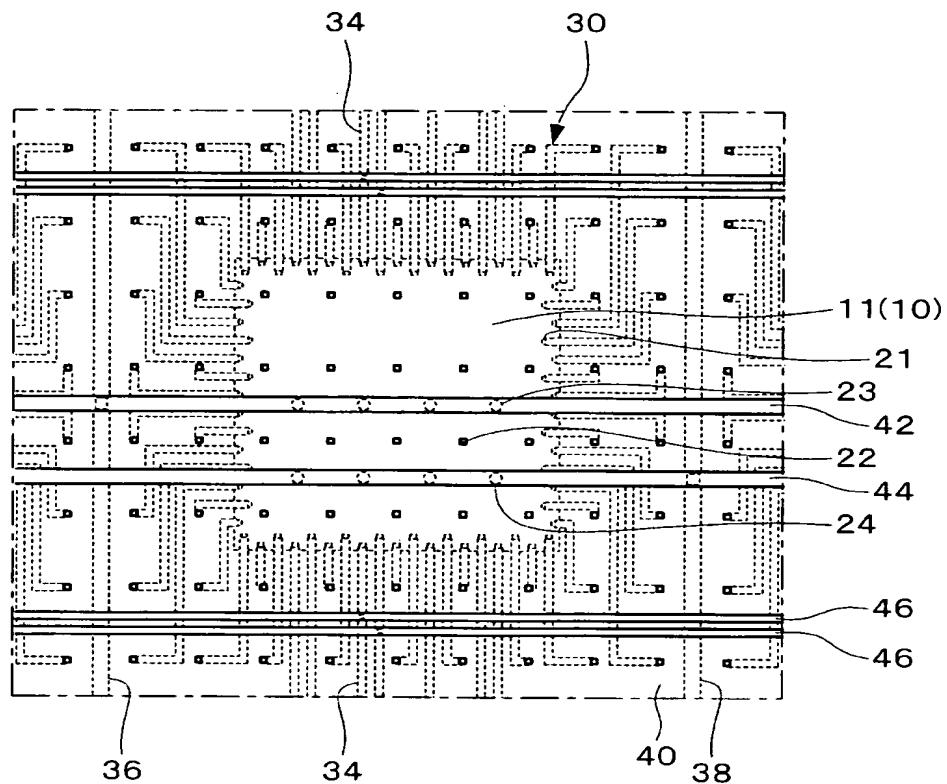
【図3】



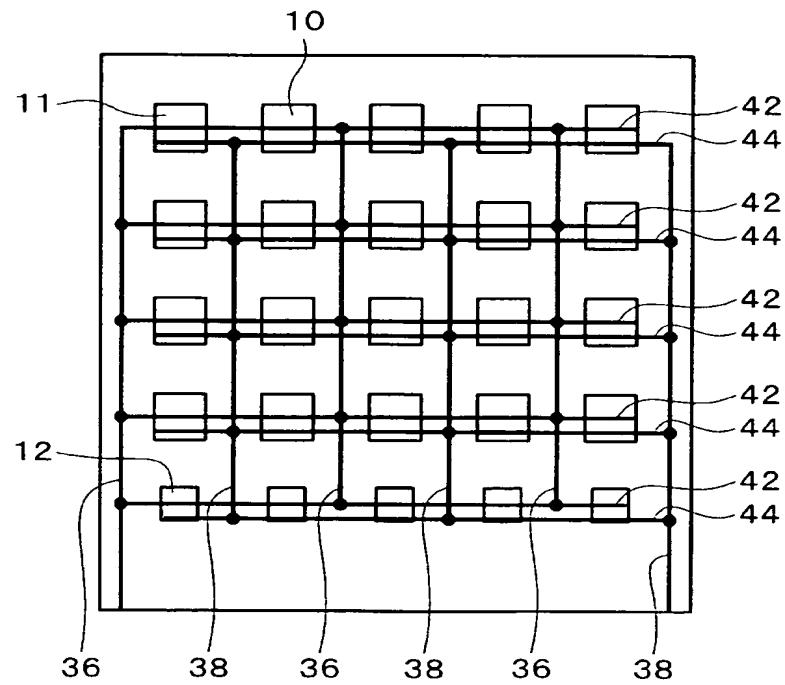
【図4】



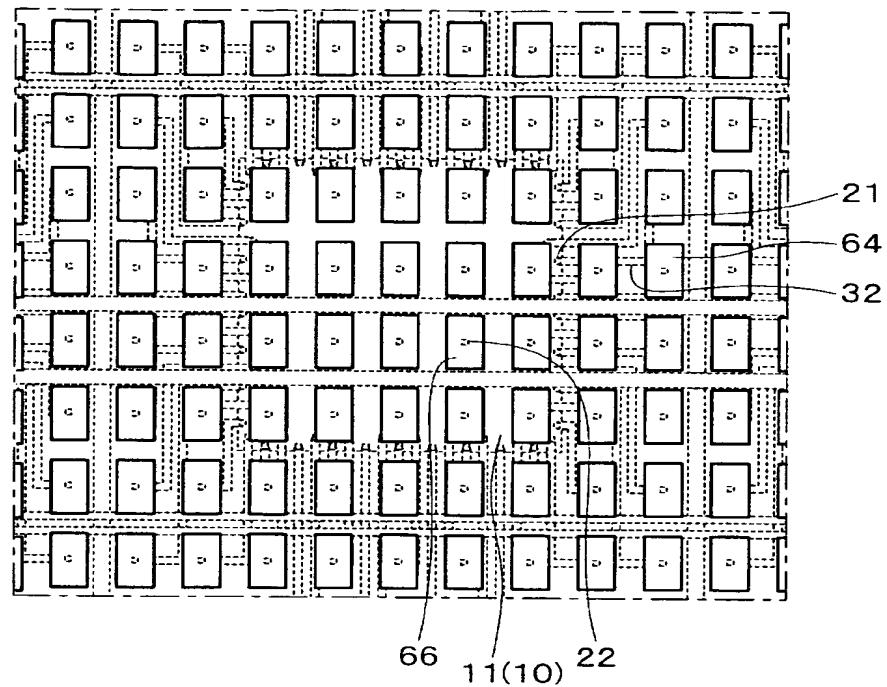
【図5】



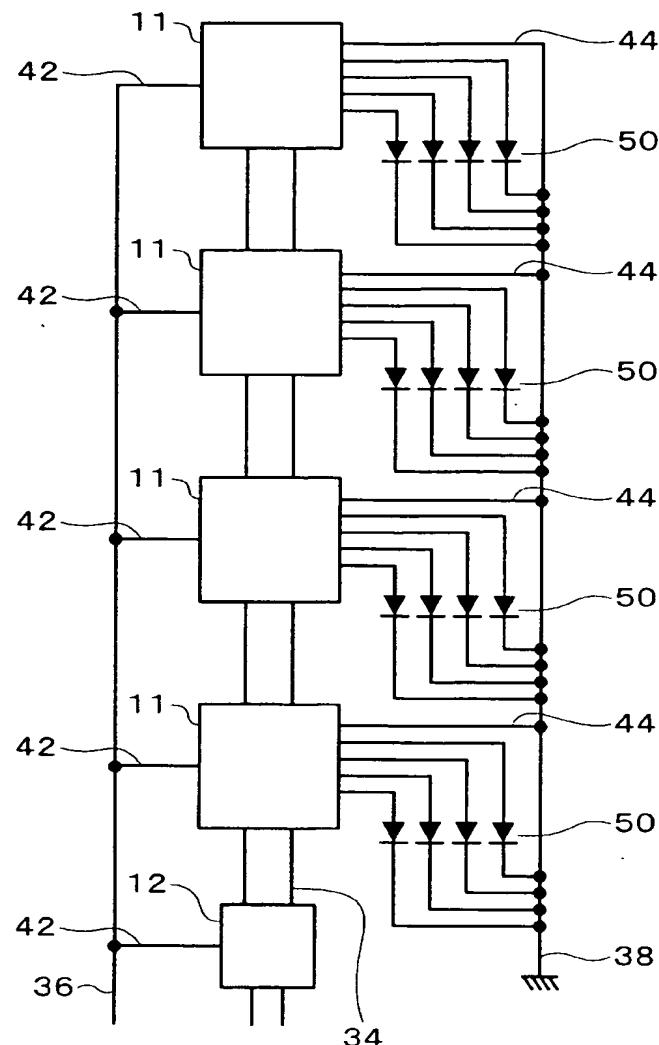
【図6】



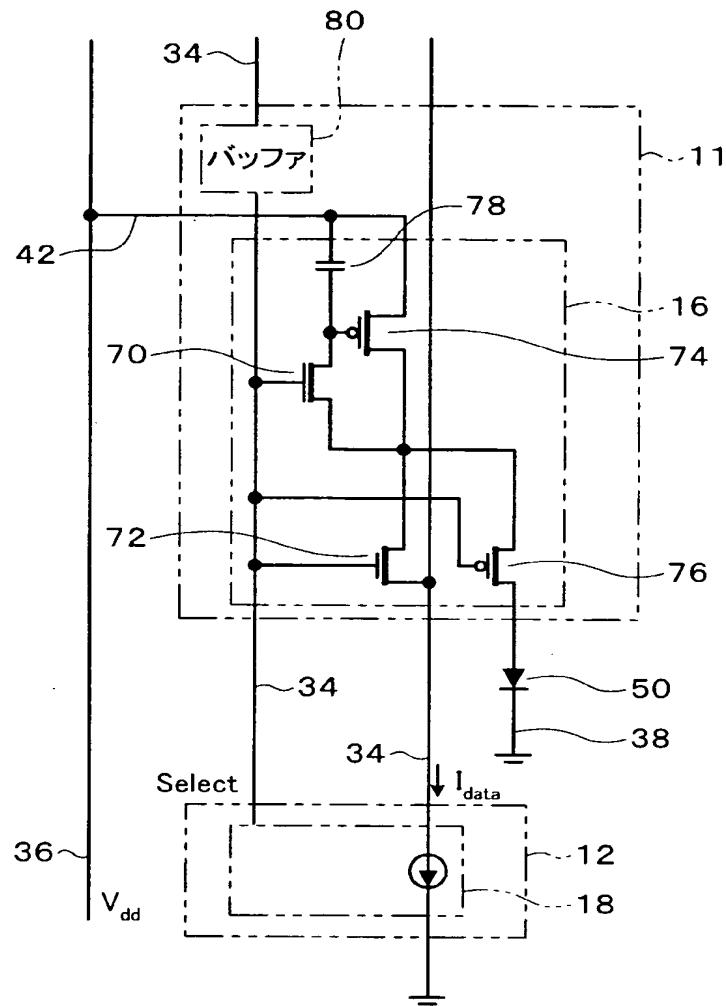
【図 7】



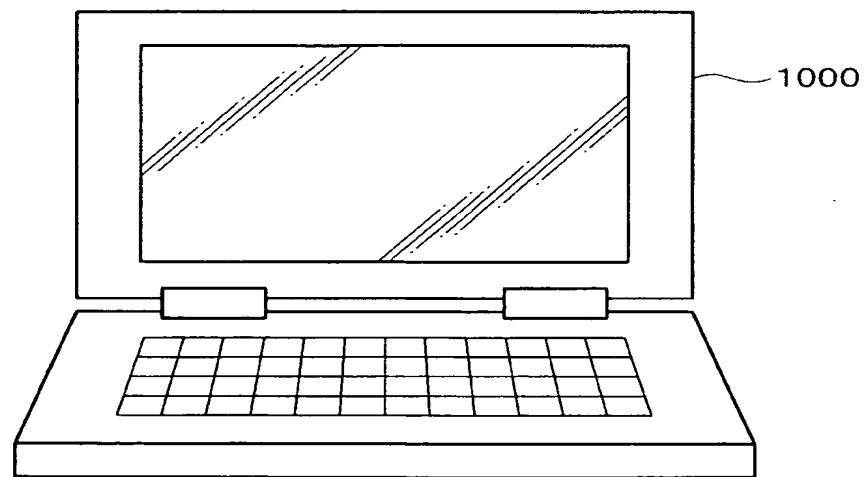
【図8】



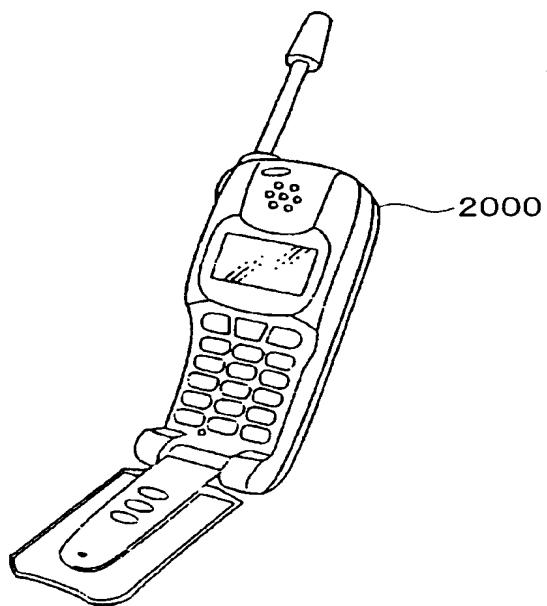
【図 9】



【図 10】



【図11】



【書類名】 要約書

【要約】

【課題】 本発明の目的は、特性において優れた回路基板を有する電子装置及びその製造方法並びに電子機器を提供することにある。

【解決手段】 電子装置は、重ならないように配列されて相互に固定された、異なる機能を果たす複数種類の半導体チップ10によって少なくとも一部が構成された回路基板1と、回路基板1の上方に形成された複数の動作素子50と、を有する。

【選択図】 図1

特願 2002-353338

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社